

REC'D 22 SEP 2003

WIPO

PCT



Bescheinigung

Certificate

Attestation

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten internationalen Patentanmeldung überein.

The attached documents are exact copies of the international patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet international spécifiée à la page suivante.

BEST AVAILABLE COPY

Den Haag, den
The Hague,
La Haye, le

16 SEP 2003

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

Der Präsident des Europäischen Patentamts
Im Auftrag
For the President of the European Patent Office
Le Président de l'Office européen des brevets
p. o.

C.A.J.A. PASCHE

Patentanmeldung Nr.
Patent application no.
Demande de brevet n° PCT/EP 02/10084

Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation



Anmeldung Nr.:
Application no.:
Demande n°: PCT/EP 02/10084

Anmelder:
Applicant(s):
Demandeur(s):
1. PACT XPP Technologies AG - München, Deutschland
2. VORBACH, Martin - München, Deutschland (Nur US)

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention: Rekonfigurierbares System

Anmeldetag:
Date of filing:
Date de dépôt: 09. September 2002 (09.09.2002)

In Anspruch genommene Priorität(en)
Priority(ies) claimed
Priorité(s) revendiquée(s)

Staat:
State: Europe
Pays:

Tag:
Date: 14. Dezember 2001
Date: (14.12.2001)

Aktenzeichen:
File no. 01 129 923.7
Numéro de dépôt:

Benennung von Vertragsstaaten : Siehe Formblatt PCT/RO/101 (beigefügt)
Designation of contracting states : See Form PCT/RO/101 (enclosed)
Désignation d'états contractants : Voir Formulaire PCT/RO/101 (ci-joint)

Bemerkungen:
Remarks:
Remarques:

United States
of America

Weitere prioritätsanspruch
07. September 2001
(07.09.2001)

60/317.876

Deutschland

18. Februar 2002

102 06 856.9

Feld Nr. V BESTIMMUNGEN VON STAATEN

Bitte die entsprechenden Kästchen ankreuzen, wenigstens ein Kästchen muß angekreuzt werden.

Die folgenden Bestimmungen nach Regel 4.9 Absatz a werden hiermit vorgenommen:

Regionales Patent

- ☒ AP ARIPO-Patent: GH Ghana, GM Gambia, KE Kenia, LS Lesotho, MW Malawi, MZ Mosambik, SD Sudan, SL Sierra Leone, SZ Swasiland, TZ Vereinigte Republik Tansania, UG Uganda, ZM Sambia, ZW Simbabwe und jeder weitere Staat, der Vertragsstaat des Harare-Protokolls und des PCT ist (falls eine andere Schutzrechtsart oder ein sonstiges Verfahren gewünscht wird, bitte auf der gepunkteten Linie angeben)
- ☒ EA Eurasisches Patent: AM Armenien, AZ Aserbaidschan, BY Belarus, KG Kirgisistan, KZ Kasachstan, MD Republik Moldau, RU Russische Föderation, TJ Tadschikistan, TM Turkmenistan und jeder weitere Staat, der Vertragsstaat des Eurasischen Patentübereinkommens und des PCT ist
- ☒ EP Europäisches Patent: AT Österreich, BE Belgien, BG Bulgarien, CH & LI Schweiz und Liechtenstein, CY Zypern, CZ Tschechische Republik, DE Deutschland, DK Dänemark, EE Estland, ES Spanien, FI Finnland, FR Frankreich, GB Vereinigtes Königreich, GR Griechenland, IE Irland, IT Italien, LU Luxemburg, MC Monaco, NL Niederlande, PT Portugal, SE Schweden, SK Slowakei, TR Türkei und jeder weitere Staat, der Vertragsstaat des Europäischen Patentübereinkommens und des PCT ist
- ☒ OA OAPI-Patent: BF Burkina Faso, BJ Benin, CF Zentralafrikanische Republik, CG Kongo, CI Côte d'Ivoire, CM Kamerun, GA Gabun, GN Guinea, GQ Äquatorialguinea, GW Guinea-Bissau, ML Mali, MR Mauretanien, NE Niger, SN Senegal, TD Tschad, TG Togo und jeder weitere Staat, der Vertragsstaat der OAPI und des PCT ist (falls eine andere Schutzrechtsart oder ein sonstiges Verfahren gewünscht wird, bitte auf der gepunkteten Linie angeben)

Nationales Patent (falls eine andere Schutzrechtsart oder ein sonstiges Verfahren gewünscht wird, bitte auf der gepunkteten Linie angeben):

- | | | |
|---|--|---|
| <input checked="" type="checkbox"/> AE Vereinigte Arabische Emirate | <input checked="" type="checkbox"/> GM Gambia | <input checked="" type="checkbox"/> NZ Neuseeland |
| <input checked="" type="checkbox"/> AG Antigua und Barbuda | <input checked="" type="checkbox"/> HR Kroatien | <input checked="" type="checkbox"/> OM Oman |
| <input checked="" type="checkbox"/> AL Albanien | <input checked="" type="checkbox"/> HU Ungarn | <input checked="" type="checkbox"/> PH Philippinen |
| <input checked="" type="checkbox"/> AM Armenien | <input checked="" type="checkbox"/> ID Indonesien | <input checked="" type="checkbox"/> PL Polen |
| <input checked="" type="checkbox"/> AT Österreich auch Gm | <input checked="" type="checkbox"/> IL Israel | <input checked="" type="checkbox"/> PT Portugal |
| <input checked="" type="checkbox"/> AU Australien | <input checked="" type="checkbox"/> IN Indien | <input checked="" type="checkbox"/> RO Rumänien |
| <input checked="" type="checkbox"/> AZ Aserbaidschan | <input checked="" type="checkbox"/> IS Island | <input checked="" type="checkbox"/> RU Russische Föderation |
| <input checked="" type="checkbox"/> BA Bosnien-Herzegowina | <input checked="" type="checkbox"/> JP Japan | |
| <input checked="" type="checkbox"/> BB Barbados | <input checked="" type="checkbox"/> KE Kenia | <input checked="" type="checkbox"/> SD Sudan |
| <input checked="" type="checkbox"/> BG Bulgarien | <input checked="" type="checkbox"/> KG Kirgisistan | <input checked="" type="checkbox"/> SE Schweden |
| <input checked="" type="checkbox"/> BR Brasilien | <input checked="" type="checkbox"/> KP Demokratische Volksrepublik Korea | <input checked="" type="checkbox"/> SG Singapur |
| <input checked="" type="checkbox"/> BY Belarus | <input checked="" type="checkbox"/> KR Republik Korea | <input checked="" type="checkbox"/> SI Slowenien |
| <input checked="" type="checkbox"/> BZ Belize | <input checked="" type="checkbox"/> KZ Kasachstan | <input checked="" type="checkbox"/> SK Slowakei |
| <input checked="" type="checkbox"/> CA Kanada | <input checked="" type="checkbox"/> LC Saint Lucia | <input checked="" type="checkbox"/> SL Sierra Leone |
| <input checked="" type="checkbox"/> CH & LI Schweiz und Liechtenstein | <input checked="" type="checkbox"/> LK Sri Lanka | <input checked="" type="checkbox"/> TJ Tadschikistan |
| <input checked="" type="checkbox"/> CN China | <input checked="" type="checkbox"/> LR Liberia | <input checked="" type="checkbox"/> TM Turkmenistan |
| <input checked="" type="checkbox"/> CO Kolumbien | <input checked="" type="checkbox"/> LS Lesotho | <input checked="" type="checkbox"/> TN Tunesien |
| <input checked="" type="checkbox"/> CR Costa Rica | <input checked="" type="checkbox"/> LT Litauen | <input checked="" type="checkbox"/> TR Türkei |
| <input checked="" type="checkbox"/> CU Kuba | <input checked="" type="checkbox"/> LU Luxemburg | <input checked="" type="checkbox"/> TT Trinidad und Tobago |
| <input checked="" type="checkbox"/> CZ Tschechische Republik | <input checked="" type="checkbox"/> LV Letland | |
| <input checked="" type="checkbox"/> DE Deutschland auch Gm | <input checked="" type="checkbox"/> MA Marokko | <input checked="" type="checkbox"/> TZ Vereinigte Republik Tansania |
| <input checked="" type="checkbox"/> DK Dänemark | <input checked="" type="checkbox"/> MD Republik Moldau | <input checked="" type="checkbox"/> UA Ukraine |
| <input checked="" type="checkbox"/> DM Dominica | <input checked="" type="checkbox"/> MG Madagaskar | <input checked="" type="checkbox"/> UG Uganda |
| <input checked="" type="checkbox"/> DZ Algerien | <input checked="" type="checkbox"/> MK Die ehemalige jugoslawische Republik Mazedonien | <input checked="" type="checkbox"/> US Vereinigte Staaten von Amerika |
| <input checked="" type="checkbox"/> EC Ecuador | <input checked="" type="checkbox"/> MN Mongolei | |
| <input checked="" type="checkbox"/> EE Estland | <input checked="" type="checkbox"/> MW Malawi | <input checked="" type="checkbox"/> UZ Usbekistan |
| <input checked="" type="checkbox"/> ES Spanien | <input checked="" type="checkbox"/> MX Mexiko | <input checked="" type="checkbox"/> VN Vietnam |
| <input checked="" type="checkbox"/> FI Finnland | <input checked="" type="checkbox"/> MZ Mosambik | <input checked="" type="checkbox"/> YU Jugoslawien |
| <input checked="" type="checkbox"/> GB Vereinigtes Königreich | <input checked="" type="checkbox"/> NO Norwegen | <input checked="" type="checkbox"/> ZA Südafrika |
| <input checked="" type="checkbox"/> GD Grenada | | <input checked="" type="checkbox"/> ZM Sambia |
| <input checked="" type="checkbox"/> GE Georgien | | <input checked="" type="checkbox"/> ZW Simbabwe |
| <input checked="" type="checkbox"/> GH Ghana | | |
- sowie jeweils alle anderen zusätzlich möglichen Schutzrechte in diesen Ländern
- Kästchen für die Bestimmung von Staaten, die dem PCT nach der Veröffentlichung dieses Formblatts beigetreten sind.
- ☒ VC St. Vincent u. die Grenadinen ☐
- ☐

Erklärung bzgl. vorsorglicher Bestimmungen: Zusätzlich zu den oben genannten Bestimmungen nimmt der Anmelder nach Regel 4.9 Absatz b auch alle anderen nach dem PCT zulässigen Bestimmungen vor mit Ausnahme der im Zusatzfeld genannten Bestimmungen, die von dieser Erklärung ausgenommen sind. Der Anmelder erklärt, daß diese zusätzlichen Bestimmungen unter dem Vorbehalt einer Bestätigung stehen und jede zusätzliche Bestimmung, die vor Ablauf von 15 Monaten ab dem Prioritätsdatum nicht bestätigt wurde, nach Ablauf dieser Frist als vom Anmelder zurückgenommen gilt. (Die Bestätigung (einschließlich der Gebühren) muß beim Anmeldeamt innerhalb der Frist von 15 Monaten eingehen.)

Titel: Rekonfigurierbares System

Beschreibung

5

Die vorliegende Erfindung betrifft das oberbegrifflich Beanspruchte. Damit befaßt sich die vorliegender Erfindung mit der Frage, wie ein rekonfigurierbarer Prozessor auf besonders günstige Art und Weise mit einem Standardprozessor verbunden
10 werden kann.

Unter einer rekonfigurierbaren Architektur werden vorliegend Bausteine (VPU) mit konfigurierbarer Funktion und/oder Vernetzung verstanden, insbesondere integrierte Bausteine mit
15 einer Mehrzahl von ein- oder mehrdimensional angeordneten arithmetischen und/oder logischen und/oder analogen und/oder speichernden und/oder intern/extern vernetzenden Baugruppen, die direkt oder durch ein Bussystem miteinander verbunden sind.

20

Zur Gattung dieser Bausteine zählen insbesondere systolische Arrays, neuronale Netze, Mehrprozessor Systeme, Prozessoren mit mehreren Rechenwerken und/oder logischen Zellen und/oder kommunikativen/peripheren Zellen (IO), Vernetzungs- und Netzwerkbausteine wie z.B. Crossbar-Schalter, ebenso wie bekannte
25 Bausteine der Gattung FPGA, DPGA, Chameleon, XPUTER, etc. Hingewiesen wird insbesondere in diesem Zusammenhang auf die folgenden Schutzrechte und Anmeldungen desselben Anmelders:
P 44 16 881.0-53, DE 197 81 412.3, DE 197 81 483.2,
30 DE 196 54 846.2-53, DE 196 54 593.5-53, DE 197 04 044.6-53, DE 198 80 129.7, DE 198 61 088.2-53, DE 199 80 312.9, PCT/DE 00/01869, DE 100 36 627.9-33, DE 100 28 397.7,

DE 101 10 530.4, DE 101 11 014.6, PCT/EP 00/10516,
EP 01 102 674.7, DE 196 51 075.9-53, DE 196 54 846.2-53,
DE 196 54 593.5-53, DE 197 04 728.9, DE 198 07 872.2,
DE 101 39 170.6, DE 199 26 538.0, DE 101 42 904.5,
5 DE 101 10 530.4, DE 102 02 044.2, DE 102 06 857.7,
DE 101 35 210.7-53, EP 02 001 331.4, 60/317,876. Diese sind
hiermit zu Offenbarungszwecken vollumfänglich eingegliedert.

Die o.g. Architektur wird beispielhaft zur Verdeutlichung
10 herangezogen und im folgenden VPU genannt. Die Architektur
besteht aus beliebigen arithmetischen, logischen (auch Spei-
cher) und/oder Speicherzellen und/oder Vernetzungszellen
und/oder kommunikativen/peripheren (IO) Zellen (PAEs), die zu
einer ein- oder mehrdimensionalen Matrix (PAC) angeordnet
15 sein können, wobei die Matrix unterschiedliche, beliebig aus-
gestaltete Zellen aufweisen kann; auch die Bussysteme werden
dabei als Zellen verstanden. Der Matrix als Ganzes oder Teil-
len davon zugeordnet ist eine Konfigurationseinheit (CT), die
die Vernetzung und Funktion des PA beeinflusst.

20 Aufgabe der Erfindung ist es, Neues für die gewerbliche Nut-
zung bereitzustellen.

Die Lösung der Aufgabe wird unabhängig beansprucht. Bevorzug-
25 te Ausführungsformen finden sich in den Unteransprüchen.

Ein rekonfigurierbarer Prozessor (VPU) wird demnach in eine
technische Umgebung hineinentworfen, die einen Standardpro-
zessor (CPU) besitzt, wie beispielsweise einen DSP, RISC,
30 CISC-Prozessor oder (Mikro)-Kontroller aufweist. Das Design
erfolgt dabei derart, dass eine möglichst einfache und den-
noch sehr leistungsfähige Anbindung besteht. Ein weiterer
Aspekt, der sich ergibt, ist die einfache Programmierung des

entstehenden Systems. Die Weiterverwendung bestehender Programme der CPU sowie die Codekompatibilität und die einfache Integration der VPU in bestehende Programme finden durch das beschriebene Verfahren problemfrei Berücksichtigung.

5

Stand der Technik

Rekonfigurierbare Bausteine (VPUs) unterschiedlicher Gattungen (wie z. B. PACT XPP-Technologie, Morphics, Morphosys, Chameleon) sind zu bestehenden technischen Umgebungen und Programmierverfahren weitgehend inkompatibel.

Die Programme der Bausteine sind weiter inkompatibel zu bereits bestehenden Programmen von CPUs. Dadurch wird ein erheblicher Entwicklungsaufwand zur Programmierung erforderlich, z. B. besonders für Bausteine der Gattungen Morphics, Morphosys. Chameleon integriert bereits einen Standardprozessor (ARC) auf den rekonfigurierbaren Bausteinen. Dadurch stehen Tools zur Programmierung zur Verfügung. Allerdings ist nicht jede technische Umgebung für den Einsatz von ARC-Prozessoren geeignet, insbesondere liegen bestehende Programme, Codebibliotheken etc. oftmals für beliebige unbestimmte andere CPUs vor.

25

Beschreibung der Erfindung

Eine VPU (oder ohne jeweils besonders erwähnt zu werden, mehrere VPUs) wird derart mit einer bevorzugten CPU gekoppelt, dass sie dort die Stelle und Funktion eines Coprozessors einnimmt. Die Funktion als Coprozessor ermöglicht dabei die einfache Einbindung in bestehende Programmcodes entsprechend den bereits existierenden Methoden zum Umgang mit Coprozessoren nach dem Stand der Technik.

Das System kann insbesondere als (Standard)-Prozessor oder Baugruppe ausgestaltet sein und/oder in einem Halbleiter (System on Chip SoC) integriert sein.

5

Um die Coprozessor-Anbindung zwischen CPU und VPU vorzusehen, ist ein Daten- bzw. Informationsaustausch zwischen CPU und VPU erforderlich. Insbesondere muß der Prozessor der Coprozessor-Einheit typisch Daten und Anweisungen übermitteln, was mit diesen geschehen muß. Der Datenaustausch zwischen CPU und VPU kann nun mittels Speicherkopplung und/oder IO-Kopplung erfolgen. CPU und VPU können dabei prinzipiell sämtliche Ressourcen teilen; in besonderen Ausgestaltungen ist es hingegen auch möglich, daß CPU und VPU nur einen Teil der Ressourcen gemeinsam verwenden, während andere Ressourcen jeweils explizit und exklusive für die CPU oder VPU zur Verfügung stehen. Die Frage, welche Variante bevorzugt ist, wird typisch unter anderem von der Gesamtauslegung des Systems, den möglichen Kosten, verfügbaren Ressourcen, der erwarteten Datenlast usw. abhängen. Es sei darauf hingewiesen, daß dort, wo auf eine einzelne CPU Bezug genommen wurde und wird, auch mehrere CPUs gemeinsam angesprochen werden können.

Um einen Datenaustausch durchzuführen, können Datensätze und/oder Konfigurationen in jeweils besonders dafür vorgesehen Speicherbereiche kopiert bzw. geschrieben/gelesen werden und/oder entsprechende Basisadressen so gesetzt werden, daß diese auf die jeweiligen Datenbereiche zeigen.

Zur Steuerung des Coprozessors wird nun in einer bevorzugten Variante ein Datensatz vorgesehen, der beispielsweise die Grundeinstellungen einer VPU beinhaltet, wie beispielsweise bestimmte Basisadressen. Des weiteren können Statusvariablen

zur Ansteuerung und Funktionssteuerung einer VPU durch eine CPU im Datensatz bzw. für die separate Übertragung vorgesehen sein und mit oder getrennt von Daten ausgetauscht werden. In einer besonders bevorzugten Variante können die Adressen flexibel verteilt und zugewiesen werden. Bevorzugt braucht somit lediglich eine Grundadresse im I/O- oder Speicheradressraum fest vereinbart zu werden, um mit ihrem Datensatz als Zeiger auf die flexibel definierten Adressen zu dienen.

- 10 Der Datensatz kann über einen gemeinsamen Speicher (RAM) und/oder über einen gemeinsamen peripheren Adressraum (IO) ausgetauscht werden. Die Adressen können flexibel verteilt und zugewiesen werden.
- 15 Zur Synchronisation der CPU und VPU können einseitig oder gegenseitig Interruptverfahren (z. B. Interruptleitungen) vorgesehen sein und/oder die Synchronisation erfolgt mittels Pollingverfahren. Weiterhin können Interrupts zur Synchronisation von Daten- und/oder DMA-Transfers verwendet werden. In einer besonders zu bevorzugenden Ausgestaltung wird eine VPU durch eine CPU gestartet und arbeitet danach unabhängig die gestartete bzw. angewiesenen Applikation ab.

- 25 Besonders leistungsfähig ist ein bevorzugter Aufbau, bei welchen die verwendete VPU eigene Mechanismen zum Laden und Kontrollieren von Konfigurationen vorsieht. Zur Gattung dieser VPUs gehören beispielsweise PACT XPP und Chameleon. Die erfindungsgemäßen Schaltungen ermöglichen ein Verfahren zum Betrieb derart, daß alle Konfigurationen der VPU oder ein Teil der VPU-Konfigurationen zusammen mit dem auszuführenden Programm der CPU in einen Speicher geladen werden. Die CPU kann während der Ausführung des Programmes die VPU auf die Speicherstellen verweisen (z. B. durch Angabe der Adressen oder

Pointer), die die jeweils auszuführenden Konfigurationen be-
 inhalten. Die VPU kann daraufhin die Konfigurationen selb-
 ständig und ohne weitere Einflußnahme durch die CPU laden.
 Wenn und soweit die VPU, d. h. das rekonfigurierbare Feld mit
 5 insbesondere grobgranular laufzeitkonfigurierbaren Elementen
 eine Ladelogik zum Laden von Konfigurationen besitzt, kann es
 ausreichen, wenn der Prozessor an die CPU die Anweisung aus-
 gibt, eine bestimmte Konfiguration zu laden. Der Aufruf des
 dann als Coprozessor dienenden rekonfigurierbaren Prozessors
 10 kann also bevorzugt über einen einzigen Befehl an die Ladelo-
 gik erfolgen. Es sei darauf hingewiesen, daß durch vorherige
 Vereinbarung zwischen VPU und CPU, also dem aufrufenden Host-
 Prozessor, genau festgelegt werden kann, welche Konfiguration
 durch welchen Aufruf auszuführen ist. Daß hierbei entspre-
 15 chende Steuermittel in der Ladelogikeinheit, sei sie dedi-
 ziert, implementiert oder durch ein oder mehrere rekonfigu-
 rierbare Zellen des rekonfigurierbaren Prozessors gebildet,
 vorgesehen sein können, sei erwähnt. Das Ausführen startet
 sofort oder ggf. durch eine zusätzliche Information (z.B. In-
 20 terrupt und/oder Start Befehl) durch die CPU.

In einer besonders bevorzugten Erweiterung kann die VPU selb-
 ständig innerhalb eines oder mehrerer Speicher(s), von denen
 einige jeweils gemeinsam mit oder unabhängig von der CPU
 25 sein können, Daten lesen und schreiben.

In einer besonders bevorzugten Erweiterung kann die VPU eben-
 falls selbständig neue Konfigurationen aus dem Speicher laden
 und sich bei Bedarf neu konfigurieren, ohne daß es eines wei-
 30 teren Einflusses durch die CPU bedarf.

Diese Ausgestaltungen ermöglichen einen weitestgehend von
 CPUs unabhängigen Betrieb von VPUs. Lediglich ein Synchroni-

sationsaustausch zwischen CPU und VPU, der bevorzugt bidirektional stattfinden kann, sollte zusätzlich vorgesehen werden, um die Datenverarbeitungen und/oder Konfigurationsausführungen aufeinander abzustimmen.

5

Grundsätzlich kann die Ablaufsteuerung einer VPU zwar direkt von einem auf der CPU ausgeführten Programm erfolgen, das quasi das Hauptprogramm darstellt, das bestimmte Unterprogramme auf die VPU auslagert. Dies ist eine besonders einfach
10 zu implementierende Variante.

Bevorzugt werden jedoch zur Synchronisation und Ablaufsteuerung über das Betriebssystem (insbesondere den Scheduler) gesteuerte Mechanismen verwendet. Ein einfacher Scheduler kann
15 nach Übertragung der Funktion auf die VPU, insbesondere wo möglich,

1. das aktuelle Hauptprogramm auf der CPU weiterlaufen lassen, sofern dieses unabhängig und parallel zur Datenverarbeitung auf einer VPU ablaufen kann,
20 wobei auch und/oder alternativ,
2. sofern oder sobald das Hauptprogramm auf die Beendigung der Datenverarbeitung auf der VPU warten muß, der Task-scheduler auf einen anderen Task (z. B. ein anderes
25 Hauptprogramm) umschaltet. Die VPU kann dabei unabhängig von dem gerade aktuellen CPU-Task im Hintergrund weiterarbeiten.

Jeder neu aktivierte Task wird typisch, sofern er die VPU
30 verwendet, vor Verwendung prüfen, ob diese für eine Datenverarbeitung zur Verfügung steht oder aktuell noch Daten in einer Weise verarbeitet, welche die benötigten VPU-Ressourcen blockiert; dann muß entweder auf die Beendigung der Datenver-

arbeitung gewartet oder, falls etwa nach Priorität bevorzugt, der Task gewechselt werden..

Ein einfaches und dennoch leistungsfähiges Verfahren kann insbesondere durch sogenannte Descriptor Tables aufgebaut bzw. realisiert werden, die beispielsweise folgendermaßen realisiert werden können:

- Jeder Task generiert zum Aufruf der VPU eine oder mehrere Tabelle(n) (VPUPROC) mit einem geeigneten festgelegten Datenformat in dem ihm zugewiesenen Speicherbereich. Diese Tabelle beinhaltet sämtliche Steuerinformation für eine VPU, wie z.B. das auszuführende Programm / die auszuführende Konfiguration (oder Zeiger auf die entsprechenden Speicherstellen) und/oder Speicherstelle(n) (oder jeweils Zeiger darauf) und/oder Datenquellen (oder jeweils Zeiger darauf) der Eingangsdaten und/oder die Speicherstelle(n) (oder jeweils Zeiger darauf) der Operanden oder der Ergebnisdaten.
- Im Speicherbereich des Betriebssystems kann sich beispielsweise eine Tabelle oder verkettete Liste (LINKLIST) befinden, die auf sämtliche VPUPROC-Tabellen in der Reihenfolge ihrer Erstellung und/oder Aufrufs zeigt.
- Die Datenverarbeitung auf der VPU läuft nunmehr bevorzugt derart ab, daß ein Hauptprogramm einen VPUPROC erstellt und über das Betriebssystem die VPU aufruft. Das Betriebssystem erstellt einen Eintrag in der LINKLIST. Die VPU arbeitet die LINKLIST ab und führt die jeweils referenzierten VPUPROC aus.
- Die Beendigung einer jeweiligen Datenabarbeitung wird dann bevorzugt jeweils durch einen entsprechenden Eintrag in die LINKLIST und/oder VPUCALL Tabelle angezeigt, den die CPU z. B. durch regelmäßiges Pollen abfragen kann. Alternativ können

Interrupts von der VPU zur CPU als Anzeige und ggf. auch zum Austausch des VPU-Status verwendet werden; dabei ist nicht nur möglich, das Erreichen des Programmendes anzuzeigen; vielmehr kann auch angezeigt werden, daß und gegebenenfalls
5 welcher Punkt im Unterprogramm bereits erreicht wurde.

Die VPU arbeitet in diesem erfindungsgemäß bevorzugten Verfahren weitgehend unabhängig von der CPU. Insbesondere können die CPU und die VPU unabhängige und unterschiedliche Tasks je
10 Zeiteinheit ausführen. Das Betriebssystem und/oder die jeweiligen Tasks müssen lediglich die Tabellen (LINKLIST bzw. VPU-PROC) überwachen.

Alternativ kann auch auf die LINKLIST verzichtet werden, indem die VPUPROCs untereinander durch Pointer verkettet werden, wie es z. B. aus Listen bekannt ist. Abgearbeitete VPU-
15 PROCs werden aus der Liste entfernt, neue in die Liste eingefügt. Das Verfahren ist Programmierern bekannt und muß daher nicht weitergehend ausgeführt werden.

20 Der Aufbau einer besonders bevorzugten VPU ist in Figur 1 dargestellt. Vorzugsweise hierarchische Konfigurationsmanager (CT's) (0101) steuern und verwalten eine Anordnung von rekonfigurierbaren Elementen (PACs) (0102). Den CT's ist ein lokaler Speicher für die Konfigurationen zugeordnet (0103). Der
25 Speicher verfügt weiterhin über ein Interface (0104) zu einem globalen Speicher, der die Konfigurationsdaten zur Verfügung stellt. Über ein Interface (0105) sind die Konfigurationsabläufe steuerbar. Ein Interface der rekonfigurierbaren Elemente
30 (0102) zur Ablaufsteuerung und Ereignisverwaltung (0106) ist vorhanden, ebenso ein Interface zum Datenaustausch (0107).

Figur 2 zeigt einen Ausschnitt aus einem beispielhaften CPU-System, beispielsweise einem DSP des Types C6000 von Texas Instruments oder ein Mikrokontroller von ARM (0201). Dargestellt sind Programmspeicher (0202), Datenspeicher (0203), beliebige Peripherie (0204) und EMIF (0205). Über einen Speicherbus (0206) und einen Peripheriebus (0207) ist eine VPU als Coprozessor integriert (0208). Ein DMA-Kontroller (EDMA) (0209) kann beliebige DMA-Transfers, beispielsweise zwischen Speicher (0203) und VPU (0208) oder Speicher (0203) und Peripherie (0204) durchführen. Prinzipiell kann auch die VPU und/oder CPU selbständig ohne Zuhilfenahme eines DMAs auf den Speicher zugreifen. Der gemeinsame Speicher kann insbesondere auch als Dualport- oder Multiportspeicher ausgestaltet sein. Dem System können weitere Baugruppen zugeordnet werden, insbesondere können rekonfigurierbare FPGAs eingesetzt werden, um eine feingranulare Verarbeitung einzelner Signale oder Datenbits zu ermöglichen und/oder flexible adaptierbare Interface (z.B. diverse serielle Schnittstellen (V24, USB, etc.), diverse parallele Schnittstellen, Festplattenschnittstellen, Ethernet, Telekommunikationsschnittstellen (a/b, T0, ISDN, DSL, etc)) aufbauen zu können.

Figur 3 zeigt eine abstraktere Systemdefinition. Einer CPU (0301) ist Speicher (0302) zugeordnet, auf den diese schreibenden und/oder lesenden Zugriff besitzt. Eine VPU (0303) ist mit dem Speicher gekoppelt. Die VPU ist in einen CT-Teil (0309) und die rekonfigurierbaren Elemente zur Datenverarbeitung (0310) untergliedert.

Zur Steigerung der Speicherzugriffe kann der Speicher mehrere unabhängige, unter Umständen gleichzeitig verwendbare Zugriffsbusse aufweisen (multiport). In einer besonders bevor-

zugten Ausgestaltung ist der Speicher in mehrere unabhängige Segmente (Speicherbanks) segmentiert, wobei auf jede Bank unabhängig zugriffen werden kann. Sämtliche Segmente liegen vorzugsweise innerhalb eines einheitlichen Adressraums.

5

Vorzugsweise steht ein Segment hauptsächlich für die CPU zur Verfügung (0304), ein weiteres Segment steht hauptsächlich für die Datenverarbeitung der VPU zur Verfügung (0305), ein weiteres Segment steht hauptsächlich für die Konfigurations-

10 daten der VPU zur Verfügung (0306).

Typischerweise und bevorzugt weist eine vollausgestaltete VPU eigene Adressgeneratoren und/oder DMAs auf, um Datentransfers durchzuführen. Alternativ und/oder zusätzlich ist es möglich,

15 dass ein DMA (0307) innerhalb des Systems (Fig.3) für Datentransfers mit der VPU vorgesehen ist.

Das System enthält IO-Mittel (0308), auf die CPU und VPU Zugriff haben können.

Sowohl CPU als auch VPU können jeweils dedizierte Speicherbereiche und IO-Bereiche aufweisen, auf die der jeweils andere keinen Zugriff hat.

20

Ein Datensatz (0311) der, wie graphisch dargestellt, im Speicherbereich und/oder im IO-Bereich und/oder partiell in einem von beiden liegen kann, wird zur Kommunikation zwischen CPU und VPU verwendet, z. B. zum Austausch von Basisparametern und Steuerinformation. Der Datensatz kann beispielsweise folgende Information beeinhaltend und stellt somit einen Grundeinstellungsdatensatz dar:

25

1. Basisadresse(n) des CT-Speicherbereiches in 0306 zur Lokalisierung der Konfigurationen,
 2. Basisadresse(n) von Datentransfers mit 0305,
 3. I/O-Adressen von Datentransfers mit 0308,
- 30

4. Synchronisationsinformation, z. B. Zurücksetzen, Anhalten, Starten der VPU,
5. Statusinformation der VPU, z. B. Fehler oder Zustand der Datenverarbeitung.

5 6.

Die Synchronisation der CPU und VPU erfolgt durch Polling von Statusdaten und/oder -informationen und/oder bevorzugt durch Interruptsteuerung (0312).

- 10 Der Grundeinstellungsdatensatz kann eine LINKLIST und/oder VPUCALLs enthalten, oder alternativ auf die LINKLIST und/oder VPUCALLs oder den jeweils ersten Eintrag derer durch Pointer zeigen.

- 15 Figur 4 zeigt eine mögliche Ausgestaltung der Interfacestruktur einer VPU zur Einbindung in ein System ähnlich Figur 3. Dazu werden der VPU ein Speicher/DMA- und/oder IO-Interface zum Datentransfer zugeordnet (0401); ein weiteres System-Interface (0402) übernimmt die Ablaufsteuerung wie z. B. das
20 Verwalten von Interrupts, das Starten/Stoppen der Verarbeitung, Austausch von Fehlerzuständen, etc.

Das Speicher/DMA- und/oder IO-Interface wird an einen Speicherbus und/oder IO-Bus angeschlossen.

- 25 Das System-Interface wird vorzugsweise an einen IO-Bus angeschlossen, kann jedoch alternativ oder zusätzlich entsprechend 0311 auch an einen Speicher angeschlossen sein.

Die Interface (0401, 0402) können zur Anpassung von unterschiedlichen Arbeitsfrequenzen von CPU und/oder VPU und/oder System ausgestaltet sein und eine Taktanpassungsschaltung
30 aufweisen, beispielsweise kann das System bzw. die CPU mit 400MHz und die VPU mit 200MHz arbeiten.

Die Interface können mit einer Protokollanpassungsschaltung eine Übersetzung der Busprotokolle durchführen, beispielsweise

se kann das VPU-interne Protokoll auf ein externes AMBA-Busprotokoll umgesetzt werden und umgekehrt.

Das Speicher/DMA- und/oder IO-Interface unterstützt den Speicherzugriff der CT auf einen externen Speicher, der vorzugsweise direkt (memory mapped) erfolgt. Der Datentransfer der CT(s) und/oder PAC(s) kann gepuffert z. B. über FIFO-Stufen erfolgen. Externer Speicher (z.B. 0308, 0203) kann direkt angesprochen und adressiert werden, weiterhin können DMA interne und/oder externe DMA-Transfers durchgeführt werden.

Über das System-Interface erfolgt die Steuerung der Datenverarbeitung, wie beispielsweise die Initialisierung und/oder der Start von Konfigurationen. Des weiteren werden Status und/oder Fehlerzustände ausgetauscht. Interrupts für die Steuerung und Synchronisation zwischen den CT's und einer CPU können unterstützt werden.

Das System-Interface kann VPU-interne Protokolle derart konvertieren, daß diese auf externe (Standard)-Protokolle umgesetzt werden (z. B. AMBA).

Es wird darauf hingewiesen, daß es auch möglich ist, Businterfaces, RAM-Zellen, I/O-Zellen und dergleichen als Teile (PAEs) einer VPU vorzusehen. Dies gilt auch dann, wenn diese Einheiten für die Prozessor-Coprozessor-Kopplung verwendet werden sollen.

Ein bevorzugtes Verfahren zur Codegenerierung für das beschriebene System ist in der Patentanmeldung PACT20 beschrieben, die zu Offenbarungszwecken vollumfänglich eingegliedert wird. Das Verfahren beschreibt einen Compiler, der Programmcode in Code für eine CPU und Code für eine VPU zerlegt. Nach unterschiedlichen Verfahren wird die Zerlegung auf die unterschiedlichen Prozessoren durchgeführt. In einer besonders bevorzugten Ausführungsform werden die jeweiligen zerleg-

ten Codes um die Interface-Routinen zur Kommunikation zwischen CPU und VPU erweitert. Die Erweiterung kann automatisch durch den Compiler erfolgen.

- 5 Ein erfindungsgemäßer Vorteil ist, dass Verwaltungs- und/oder Interfaceaufwand sowie Programmierung des erfindungsgemäßen Systemes unaufwendig und einfach sind.

10 Die nachfolgenden Tabellen zeigen beispielhafte Kommunikationen zwischen einer CPU und einer VPU. Den Spalten sind die jeweilig aktiven Funktionseinheiten zugeordnet: CPU, System-DMA und DMA-Interface (EDMA) bzw. Speicher-Interface (Speicher-I/F), System-Interface (System-I/F, 0402), CT's, sowie die PAC. In den Zeilen sind die einzelnen Zyklen in ihrer
15 Ausführungsreihenfolge eingetragen. K1 referenziert eine auszuführende Konfiguration 1.

20 Die erste Tabelle zeigt beispielsweise einen Ablauf bei Verwendung der System-DMA (EDMA) zum Datentransfer. Jede Zeile zeigt einen sequentiell ablaufenden Steuervorgang; die Spalten zeigen die jeweilige Aktivität in der entsprechenden Baugruppe:

CPU	EDMA	System-I/F	CT's	PAC
Initiiere K1				
	Lade K1			
Starte K1			Konfiguriere K1	
Initiiere laden der Daten per		Starte K1		Warten auf Daten

EDMA				
Initiiere lesen der Daten per EDMA	Datentransfer lesen der Da- ten			Datenver- arbeitung
	Datentransfer schreiben der Daten	Signalisiere Ende der Operation		

Es ist zu erwähnen, dass die Synchronisation zwischen der ED-
MA und der VPU automatisch über das Interface 0401 erfolgt,
d.h. DMA-Tranfers finden nur statt, wenn die VPU dafür bereit
s ist.

In einer zweiten Tabelle ist beispielsweise ein bevorzugter
optimierter Ablauf dargestellt. Die VPU besitzt selbst direk-
ten Zugriff auf den Konfigurationsspeicher (0306). Des weite-
10 ren werden die Datentransfers durch DMA-Schaltung innerhalb
der VPU ausgeführt, die beispielsweise fest implementiert
sein können (PACT03) und/oder durch die Konfiguration von
konfigurierbaren Teilen der PAC entstehen.

CPU	EDMA	System-I/F	CT's	PAC
Initiiere K1				
Starte K1	Lesen der Konfiguration		Konfiguriere K1	
	Datentransfer lesen der Da- ten	Starte K1		Lese Daten
				Datenver- arbeitung

	Datentransfer schreiben der Daten	Signalisiere Ende der Operation		Schreibe Daten
--	---	---------------------------------------	--	-------------------

Der Arbeits- und Synchronisationsaufwand für die CPU ist minimal, wodurch eine maximale Performance erreicht wird.

- 5 Weiterhin kann das Verfahren vorsehen, mehrere Konfigurationen auf unterschiedlichen Bereichen der VPU, also auf unterschiedlichen PAEs zugleich, auszuführen oder auf denselben Ressourcen zeitgemultiplext auszuführen.
- 10 Insbesondere kann eine Art "Double-Buffering" zur besonders einfachen und zugleich schnellen Rekonfiguration angewendet werden, in welchem eine Mehrzahl von VPUs vorgesehen sind, wobei ein Teil zu einem Zeitpunkt der VPUs rekonfiguriert werden kann, während ein anderer Teil rechnet und möglicherweise ein Weiterer inaktiv sein kann. Die Daten-, Trigger-, Statusverbindungen etc. werden zwischen der Mehrzahl von VPUs geeignet ausgetauscht und ggf. durch adressierte Busse und/oder Multiplexer/Demultiplexer entsprechend der aktuell aktiven und/oder zu rekonfigurierenden VPUs verschaltet.
- 15
- 20 Sämtliche erwähnten PACT Patentanmeldungen und deren Familienmitglieder sind zu Offenbarungszwecken vollumfänglich eingegliedert.
- 25 Beliebige weitere Ausgestaltungen und Kombinationen der erläuterten Erfindungen sind möglich und einem Fachmann offensichtlich. Es sei in diesem Zusammenhang insbesondere erwähnt, daß anstelle einer Kopplung einer VPU an einen CPU unter Verwendung der VPU als Koprozessor gleichfalls eine solche Kopplung unter Verwendung der CPU als Koprozessor möglich
- 30

ist. Ein solcher Fall ist insbesondere dann bevorzugt, um bei der Compilierung als Programmteile mit nur geringer Parallelität und/oder geringen Vektoranteilen erkannte Befehlsstrukturen sequenziell abarbeiten zu lassen. Es ist dann insbesondere möglich, daß die VPU über Linklisten oder Tabellen die CPU aufruft. Die Linklisten oder Tabellen können dabei etwa Information enthalten, die angibt, wo Daten zu holen sind, unter welcher Adresse die CPU auf von ihr abzuarbeitende Programminformation zugreifen kann usw. Die Abfrage, ob die CPU dann mit der Abarbeitung der von ihr auszuführenden Programmteile fertig ist, kann wiederum über ein Polling oder dergl. geschehen. Auch hier ist es möglich, das Betriebssystem einzusetzen, um der CPU Aufgaben zuzuweisen und/oder die von ihr auszuführenden Tasks zu überwachen. Prinzipiell lassen sich demnach alle beschriebenen Verfahren sowohl für die Kopplung einer CPU an eine VPU als Coprozessor als auch umgekehrt verwenden. Wichtig kann dabei alleine werden, für welche Art der Kopplung das Betriebssystem ausgelegt ist. Es sei darauf hingewiesen, daß es insbesondere möglich ist, ein Betriebssystem vorzusehen, das eine wechselseitige Kopplung ermöglicht, also insbesondere wahlweise die CPU an die VPU bzw. Teile davon koppelt und umgekehrt. Letzteres ist etwa besonders vorteilhaft, wenn ganze Programmblöcke mit überwiegend sequenziellen Anteilen von der VPU als Host an die CPU als Koprozessor abgegeben werden sollen und diese Programmblöcke noch partiell stark vektoriellen oder parallelen Code aufweist, der von der CPU quasi Rückübertragen werden kann, insbesondere im Ansprechen auf eine ermittelte derzeitige oder prognostizierte VPU-Last.

30

Titel: Rekonfigurierbares System

Patentansprüche

5

1. Datenverarbeitungssystem, dadurch gekennzeichnet, daß zumindest ein rekonfigurierbarer Prozessor mit einem Standardprozessor (CPU) gekoppelt ist.

10

2. Datenverarbeitungssystem nach Anspruch 1, dadurch gekennzeichnet, daß der rekonfigurierbare Prozessor als Coprozessor angeordnet ist.

15

3. Datenverarbeitungssystem nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß ein Speicher- und/oder I/O-Kopplungsmittel zur Ankopplung von Standardprozessor und rekonfigurierbarem Prozessor aneinander vorgesehen ist.

20

4. Datenverarbeitungssystem nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die Kopplungsmittel zur Ankopplung durch Übertragung von Daten und/oder Statusinformationen und/oder Konfigurationen ausgebildet sind.

25

5. Datenverarbeitungssystem nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß die CPU und der rekonfigurierbare Prozessor und/oder deren Peripherie so ausgebildet sind, daß sie auf zumindest einen Teil der ihnen zur Verfügung stehenden Ressourcen und insbesondere auf einen Teil des Speicherbereiches gemeinsam zugreifen können.

30

6. Datenverarbeitungssystem nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß zur Synchronisation zwischen CPU und rekonfigurierbarem Prozessor zumindest eine ein- und/oder mehrseitige Interrupt-Leitung vorgesehen ist.

7. Datenverarbeitungssystem nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß der rekonfigurierbare Prozessor eigene Konfigurationslade- und/oder Kontrollmittel aufweist, insbesondere zur zumindest partiellen Neu- und/oder Umkonfiguration ohne CPU-Eingang während der Laufzeit.

8. Ein auf einem Chip integriertes Datenverarbeitungssystem nach einem der vorhergehenden Ansprüche.

9. Verfahren zur Datenverarbeitung mit einem rekonfigurierbaren und einem Standard-Prozessor, worin der Standardprozessor auf dem rekonfigurierbaren Prozessor auszuführende Unterprogramme bzw. Unterprogrammteile aufruft und diese auf dem rekonfigurierbaren Prozessor ausgeführt werden oder umgekehrt.

10. Datenverarbeitungsverfahren nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß beim Aufruf des rekonfigurierbaren Prozessors Steuerinformation generiert wird.

11. Datenverarbeitungsverfahren nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, daß die Steuerinformation als Tabelle generiert wird, die insbesondere die auszuführende Konfiguration und/oder Zeiger auf entsprechende Speicherstellen und/oder Datenquellen und/oder Operanden-

Speicherstellen und/oder Ergebnisdaten-Speicherstellen
bzw. Zeiger darauf umfaßt.

- 5 12. Verfahren zum Betrieb eines Datenverarbeitungssystems
nach einem der vorhergehenden Verfahrensansprüche, worin
bei Aufruf des Coprozessors eine Linkliste erstellt und
vom rekonfigurierbaren Prozessor abgearbeitet wird.
- 10 13. Verfahren nach einem der vorhergehenden Verfahrensansprü-
che, dadurch gekennzeichnet, daß die zwischen rekonfigu-
rierbarem -und Standardprozessor ausgetauschten Informa-
tionen eine Basisadresse eines Ladelogikspeicherbereiches
zur Lokalisierung von Konfigurationen, eine Basisadresse
15 von Datentransfers, I/O-Adressen von Datentransfers, Syn-
chronisationsinformation, insbesondere betreffend Zurück-
setzen, Anhalten oder Starten der VPU, und/oder Statusin-
formationen der VPU, insbesondere Fehler und/oder Zustän-
de der Datenverarbeitung betrifft.
- 20 14. Verfahren zur Datenverarbeitung nach einem der vorherge-
henden Verfahrensansprüche, dadurch gekennzeichnet, daß
eine Synchronisation von CPU und VPU durch Polling von
Statusdaten und/oder -informationen und/oder durch eine
Interruptsteuerung erfolgt.

25

Titel: Rekonfigurierbares System

Zusammenfassung

5

Ein rekonfigurierbarer Prozessor (VPU) wird in eine techni-
sche Umgebung eidesignet, die einen Standardprozessor (CPU)
besitzt, wie beispielsweise einen DSP, RISC, CISC-Prozessor
oder (Mikro)-Kontroller aufweist. Das Design soll derart er-
10 folgen, dass eine möglichst einfache und leistungsfähige An-
bindung besteht. Ein weiterer Aspekt ist die einfache Pro-
grammierbarkeit des entstehenden Systems. Die Weiterverwen-
dung bestehender Programme der CPU sowie die Codekompatibili-
tät und die einfache Integration der VPU in die bestehenden
15 Programme finden Berücksichtigung.

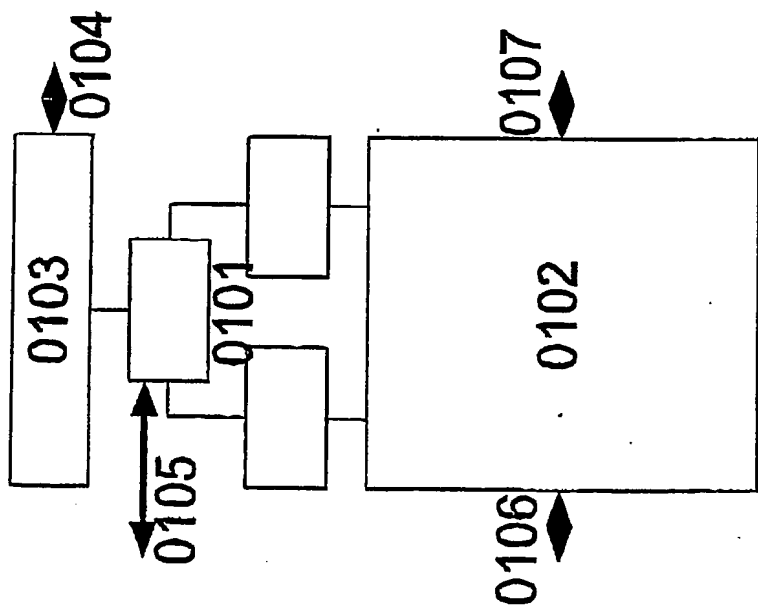


Fig. 1

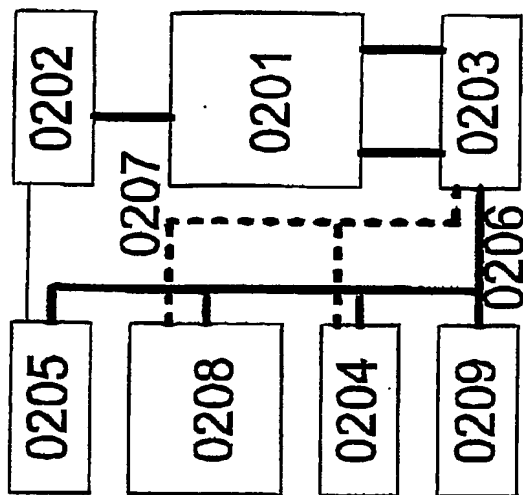


Fig. 2

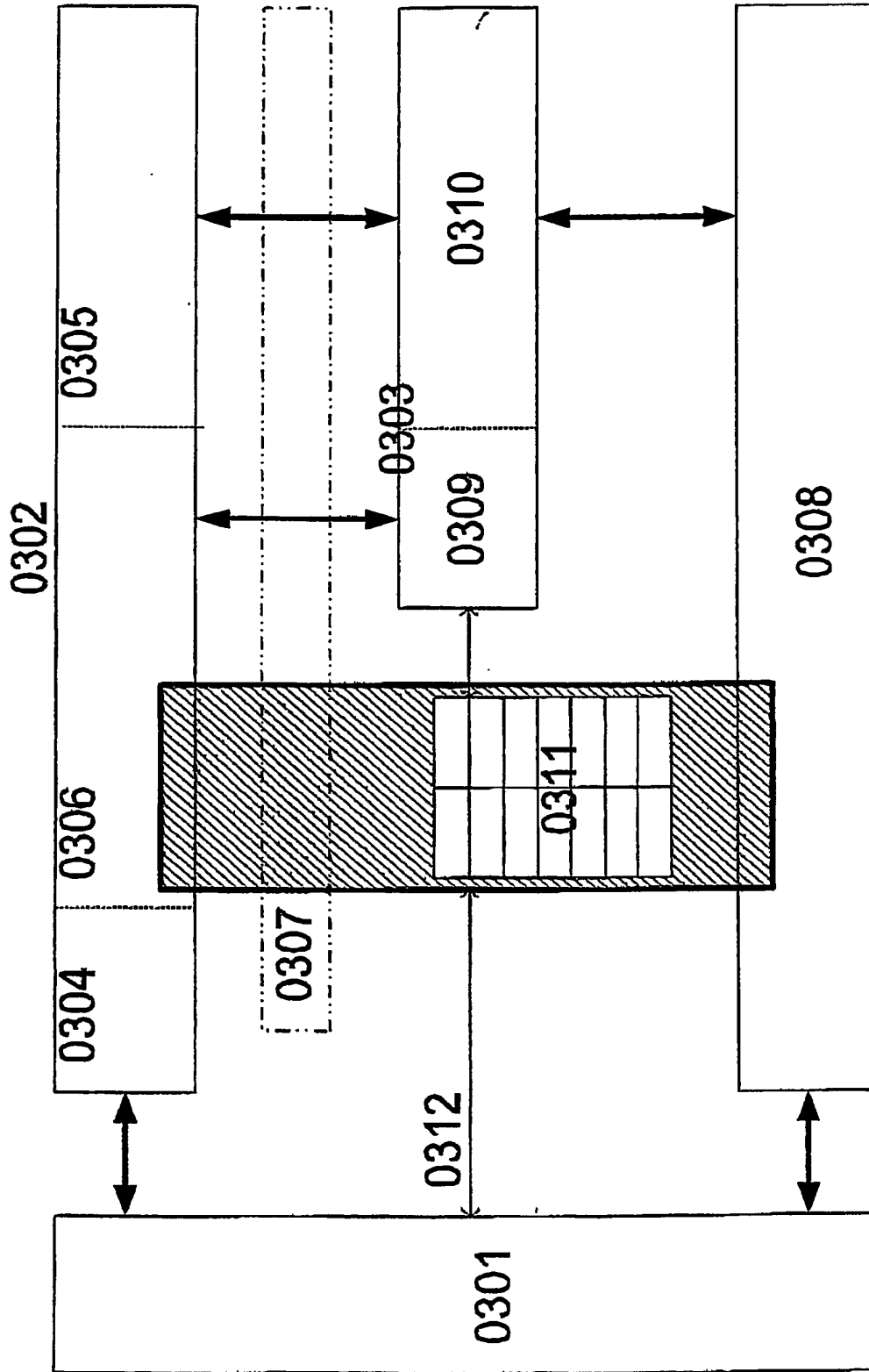


Fig. 3

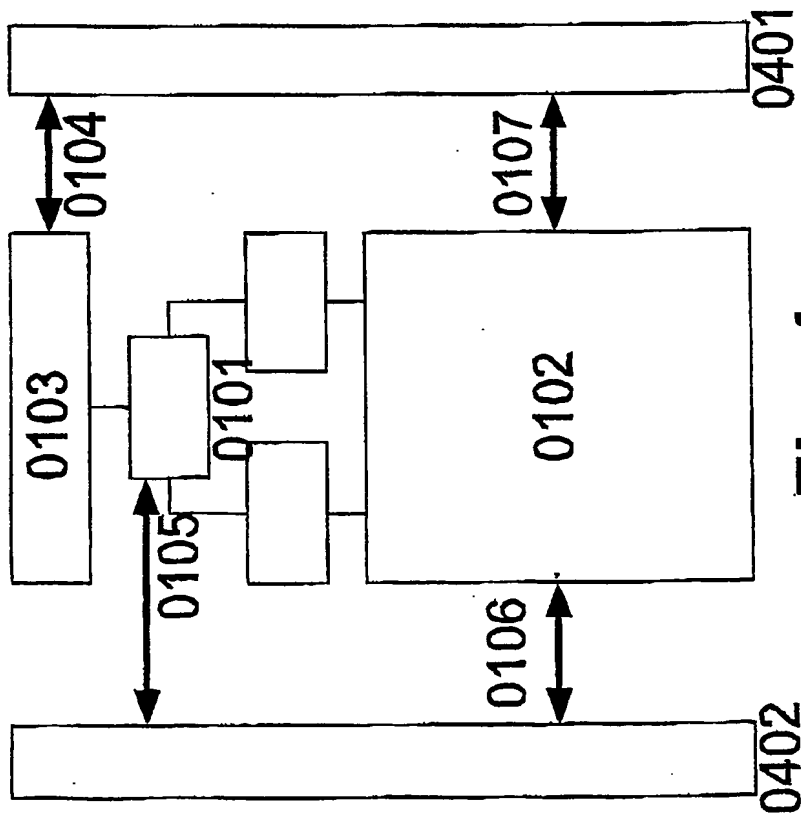


Fig. 4

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.